

CIRCUIT AND METHOD FOR DRIVING MATRIX DISPLAY DEVICE

Patent Number: JP10187093
Publication date: 1998-07-14
Inventor(s): NAGAI TAKAYOSHI
Applicant(s):: MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP10187093
Application Number: JP19960350494 19961227
Priority Number(s):
IPC Classification: G09G3/28
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce the power consumption in a driver in a matrix display device driving a capacitive load such as a plasma display, etc.

SOLUTION: In the drive circuit of a plasma display device being a matrix display device, when an address pulse 21 according to the display image data is applied to the address electrode wiring W of the display device, the rise (the fall is acceptable, too) timing of the address pulse 21 applied to respective address electrode wiring W are delayed. Thus, the rise timing and the fall timing of the address pulse 21 respectively applied between the address electrode wiring W_k, W_{k+1} adjacent on the display are controlled so as to be shifted each other, and the power consumption in a data driver due to charge/discharge in a capacitor C_w is reduced. Further, the constitution feedback controlling so that the power consumption in the data driver outputting the address pulse becomes a prescribed value or below is applicable.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-187093

(43) 公開日 平成10年(1998) 7月14日

(51) Int.Cl.⁶

G 0 9 G 3/28

識別記号

F I

G 0 9 G 3/28

J

E

審査請求 未請求 請求項の数19 O L (全 21 頁)

(21) 出願番号

特願平8-350494

(22) 出願日

平成8年(1996)12月27日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 永井 孝佳

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

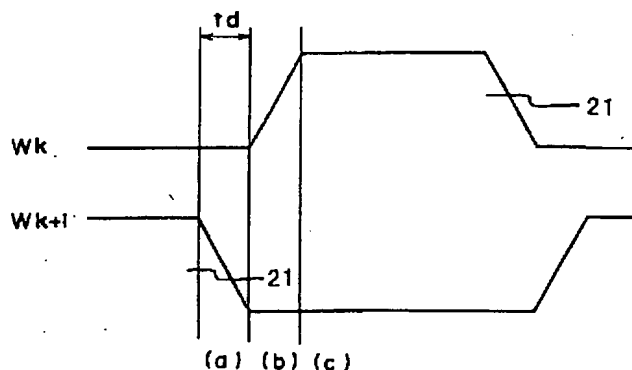
(74) 代理人 弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 マトリクス表示装置の駆動回路およびマトリクス表示装置の駆動方法

(57) 【要約】

【課題】 プラズマディスプレイ等の容量性負荷を駆動するマトリクス表示装置でのドライバにおける消費電力を低減する。

【解決手段】 マトリクス表示装置であるプラズマディスプレイ装置の駆動回路において、表示装置のアドレス電極配線Wに、表示画像データに応じたアドレスパルス21を印加する際、立ち上がり遅延回路などにより、各アドレス電極配線Wに印加されるアドレスパルス21の立ち上がり(立ち下がりでも可)タイミングを遅延させる。これにより、ディスプレイ上で隣接するアドレス電極配線W_k、W_{k+1}間で、それぞれ印加されるアドレスパルス21の立ち下がりと立ち上がりタイミングとが互いにずれるように制御し、静電容量C_wでの充放電によるデータドライバの消費電力を低減する。なお、アドレスパルス21を出力するデータドライバでの消費電力が所定値以下となるようにフィードバック制御する構成もさらに適用できる。



【特許請求の範囲】

【請求項1】 容量性の負荷を駆動して所望の表示を行うマトリクス表示装置の駆動回路において、前記マトリクス表示装置の列または行方向の駆動電極配線に、表示画像データに応じた駆動信号を印加する際に、互いに隣接する駆動電極配線にそれぞれ印加する前記駆動信号の立ち下がり立ち上がりタイミングとが互いにずれるように制御するための信号印加タイミング制御手段を備えることを特徴とするマトリクス表示装置の駆動回路。

【請求項2】 前記信号印加タイミング制御手段は、前記各駆動電極配線に印加する駆動信号の立ち上がりまたは立ち下がりタイミングの少なくとも一方のタイミングを遅延させ、前記タイミングの遅延期間を、前記駆動信号の立ち上がりまたは立ち下がり要する期間にほぼ等しく設定することを特徴とする請求項1に記載のマトリクス表示装置の駆動回路。

【請求項3】 前記信号印加タイミング制御手段は、前記各駆動電極配線に印加する駆動信号の立ち上がりタイミングのみを遅延させることを特徴とする請求項1に記載のマトリクス表示装置の駆動回路。

【請求項4】 前記マトリクス表示装置は、前記駆動電極配線とそれぞれ交差するように配置された走査電極配線を有し、遅延された前記各駆動電極配線への前記駆動信号の印加タイミングと、これに対応する前記走査電極配線への走査信号の印加タイミングとが一致するように制御することを特徴とする請求項1～3のいずれか一つに記載のマトリクス表示装置の駆動回路。

【請求項5】 前記信号印加タイミング制御手段は、外部信号に基づいて、前記駆動信号の立ち上がりまたは立ち下がりタイミングの少なくとも一方を制御することを特徴とする請求項1～4のいずれか一つに記載のマトリクス表示装置の駆動回路。

【請求項6】 前記駆動電極配線に前記駆動信号を印加する少なくとも2つの駆動電極ドライバ手段を有し、隣接する前記駆動電極配線を異なる前記駆動電極ドライバ手段によって別々に駆動し、前記信号印加タイミング制御手段は、前記隣接する駆動電極配線をそれぞれ駆動する異なる駆動電極ドライバ手段から出力される前記駆動信号の立ち上がりタイミングと、立ち下がりタイミングとが互いにずれるように制御することを特徴とする請求項1～5のいずれか一つに記載のマトリクス表示装置の駆動回路。

【請求項7】 さらに、前記駆動電極配線に駆動信号を印加する駆動電極ドライバ手段での消費電力を検出する検出手段と、前記検出手段での検出結果に基づいて、入力画像データからその特定成分を除去し、除去して得られたデータを

表示画像データとして前記マトリクス表示装置に表示させるための表示画像制御手段と、を備えることを特徴とする請求項1～6のいずれか一つに記載のマトリクス表示装置の駆動回路。

【請求項8】 容量性の負荷を駆動して所望の表示を行うマトリクス表示装置の駆動回路において、列または行方向の駆動電極配線に表示画像データに応じた駆動信号を印加する駆動電極ドライバ手段と、前記駆動電極ドライバ手段での消費電力を検出する検出手段と、

前記検出手段での検出結果に基づいて、入力画像データからその特定成分を除去し、除去して得られたデータを表示画像データとして前記マトリクス表示装置に表示させるための表示画像制御手段と、を備えることを特徴とするマトリクス表示装置の駆動回路。

【請求項9】 前記表示画像制御手段は、前記検出手段における検出結果に基づいて、前記消費電力が大きくなると、前記入力画像データからその画像空間周波数の高域成分を選択的に除去して、前記消費電力を低減するように制御することを特徴とする請求項7または請求項8に記載のマトリクス表示装置の駆動回路。

【請求項10】 前記表示画像制御手段は、前記入力画像データを離散コサイン変換によって空間周波数データに変換し、前記検出手段での検出結果に基づいて前記空間周波数データから高域成分を除去し、高域成分除去後に前記空間周波数データを逆離散コサイン変換すること、を特徴とする請求項9に記載のマトリクス表示装置の駆動回路。

【請求項11】 前記表示画像制御手段は、前記検出手段での検出結果に基づいて、前記入力画像データを縦 h 画素×横 j 画素（但し、 h 、 j は、正の整数）のブロックに分割し、各ブロック内の各画素の画像データをブロック内で共通のデータに変換して、入力画像データから高域成分を除去することを特徴とする請求項9に記載のマトリクス表示装置の駆動回路。

【請求項12】 前記表示画像制御手段は、前記分割した同一ブロック内において、各画素のデジタル画素データをその低ビット側成分から優先的に同一ブロック内での共通データに置換することを特徴とする請求項11に記載のマトリクス表示装置の駆動回路。

【請求項13】 前記マトリクス表示装置は、一デジタル画像表示単位期間を1フィールド期間とし、前記1フィールド期間を表示階調ビット数に応じた数のサブフィールドに時分割して表示することにより階調表示を行う表示装置であって、

前記検出手段での検出結果に基づいて、前記消費電力が大きくなるにつれ、前記サブフィールドの内、表示階調ビット数の低ビット側の前記サブフィールドから優先的にその表示を省略すること、を特徴とする請求項7または請

求項8に記載のマトリクス表示装置の駆動回路。

【請求項14】 前記駆動電極ドライバ手段は、複数のドライバブロックに分割され、前記駆動電極ドライバ手段での消費電力を検出する前記検出手段は、分割された前記各ドライバブロック毎にそのドライバブロックにおける消費電力を検出することを特徴とする請求項7～13のいずれか一つに記載のマトリクス表示装置の駆動回路。

【請求項15】 前記各ドライバブロックは、所定数の前記駆動電極配線毎に集積された個々の集積回路によってそれぞれが構成されることを特徴とする請求項14に記載のマトリクス表示装置の駆動回路。

【請求項16】 前記各ドライバブロックは、所定数の前記駆動電極配線毎に集積された個々の集積回路のうち、互いに熱伝達し得る複数の集積回路によって構成されることを特徴とする請求項14に記載のマトリクス表示装置の駆動回路。

【請求項17】 前記駆動電極ドライバ手段での消費電力を検出する検出手段は、前記入力画像データに基づいて前記消費電力を予測演算によって検出し、前記表示画像制御手段は、前記予測演算による検出結果に基づいて、前記入力画像データからその特定成分を除去することを特徴とする請求項7～16のいずれか一つに記載のマトリクス表示装置の駆動回路。

【請求項18】 容量性の負荷を駆動して所望の表示を行うマトリクス表示装置の駆動方法において、前記マトリクス表示装置の列または行方向の駆動電極配線に、表示画像データに応じた駆動信号を印加する際に、互いに隣接する駆動電極配線にそれぞれ印加される前記駆動信号の立ち下がり立ち上がりタイミングとが互いにずれるように制御することを特徴とするマトリクス表示装置の駆動方法。

【請求項19】 容量性の負荷を駆動して所望の表示を行うマトリクス表示装置の駆動方法において、前記マトリクス表示装置の列または行方向の駆動電極配線に表示画像データに応じた駆動信号を印加する駆動電極ドライバ手段における消費電力を検出し、前記消費電力の検出結果に基づいて、入力画像データの特定成分を除去し、除去して得られたデータを前記マトリクス表示装置に表示させることにより、前記駆動電極ドライバ手段での消費電力が所定以内になるように制御することを特徴とするマトリクス表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、プラズマディスプレイパネルや液晶表示パネル、あるいはエレクトロルミネッセンスパネルなどのマトリクス表示装置の駆動回路に関し、特に、その消費電力の低減するための機能を備えた駆動回路に関する。

【0002】

【従来の技術】図22は、従来の交流(AC)型プラズマディスプレイの駆動回路の概略構成図であり、図23は、このプラズマディスプレイの駆動波形の一例である。

【0003】プラズマディスプレイパネル(以下、PDPという)12はマトリクス状に配置された複数の放電セルを有する。各放電セルは、アドレス電極配線13と、これに直交する走査維持電極配線15および維持電極配線14とによってその放電・非放電が制御されて、パネル12全体として所望の発光表示画像を得ている。

【0004】アドレス電極配線13は、その奇数番目(W1、W3・・W2n-1)と、偶数番目(W2、W4・・W2n)がそれぞれ別のデータドライバ19に接続されている。また、走査維持電極配線Y1、Y2・・Yi(15)が走査維持ドライバ11に接続され、維持電極配線X1、X2・・Xi(14)が維持ドライバ10に接続され、これら各電極配線W、Y、Xは、それぞれ対応するドライバ19、11、10によって駆動されている。

【0005】外部から供給される入力画像データ1は、コントローラ20に供給され、コントローラ20は、この入力画像データ1をプラズマディスプレイパネルの表示に適した順番に並べ替えて、ディスプレイの各放電セルの放電・非放電を示す駆動データ16を作成し、データドライバ19に出力する。

【0006】2つのデータドライバ19は、この駆動データ16に基づいて、アドレス電極配線W1、W2・・W2n-1、W2nに対し、順次駆動信号として、図23に示すようなアドレスパルス101を印加する。

【0007】また、このアドレスパルス101の印加と同時に、対応する放電セルの走査維持電極配線15(Y1～Yi)には、走査パルス102が順次印加されて、PDP12の各放電セルに発光・非発光の情報が書き込まれる。続いて維持電極配線14と走査維持電極配線15に交互に維持パルス103が印加され、放電状態が維持され、PDP12で所望の画像が発光表示されることとなる。

【0008】次に、図22のデータドライバ19の構成および動作について図24を用いて説明する。

【0009】コントローラ20からシリアルデータとして出力される駆動データ16は、シフトレジスタ124に順次供給され、ここでパラレルデータに変換されて(パラレル駆動データS1、S2・・Sm)、ラッチ回路125に向けて出力される。ラッチ回路125に供給されるラッチイネーブル信号LEがオン(例えばHレベル)となると、ラッチ回路125は、上記シフトレジスタ124からの出力をラッチし、ラッチされた駆動データS1～Smは、ラッチデータ131(L1～Lm)として、対応するレベルシフタ126およびFET駆動バッファ127と、反転FET駆動バッファ128とにそ

れぞれ供給され、これらを介してトードムポール回路を構成する電解効果トランジスタ (FET) 29、30のオンオフをコントロールする。このようにしてFET 29、30がコントロールされることにより、トードムポール回路の出力端O1~OmからそれぞれVwまたは0Vの電圧が出力され、この出力が対応するアドレス電極配線13にアドレスパルスとして印加されることとなる。

【0010】

【発明が解決しようとする課題】従来のプラズマディスプレイなどのマトリクス表示装置の駆動回路では、上述のように、基板上にマトリクス状に配置した電極配線によって放電セルや液晶などの容量成分である負荷を駆動して表示画像を得ている。このため、等価回路的には、互いに隣接する電極配線間に容量成分が形成され、後述するこの容量成分の充放電のために、データドライバの消費電力を低く抑えることが困難であるという第1の問題があった。

【0011】また、表示画像が精細になり、さらに、例えば千鳥模様などの高域成分を多く含むような画像を表示する場合には、後述するような原理により上記容量成分の充放電量がさらに多くなりデータドライバでの消費電力が増大してしまう。このように、入力画像データに応じてデータドライバの消費電力が決まってしまう、これを所定範囲内に抑えることができないという第2の問題があった。

【0012】以下、図25~図27を用いて第1の問題点である電極配線間の容量成分とデータドライバにおける消費電力との関係について説明する。なお、図25は、図22のデータドライバ19の出力部とPDP12上での等価回路を示している。

【0013】PDP12は、データドライバ19側から見ると、アドレス電極配線W間の静電容量Cwと、維持電極配線Xおよび走査維持電極配線Yとの静電容量Cxyとが存在している。静電容量Cw、Cxyの値は、PDP12のパネルサイズや、電極配線のレイアウトなどによって異なるが、例えば、対角100cmクラス(40型)のプラズマディスプレイパネルでは静電容量Cw、Cxyは、いずれも数10pF程度となる。

【0014】このような構成において、データドライバ19の出力Oが、0VとVwとで切り替わると、静電容量CxyおよびCwで充放電が行われ、この充放電に伴ってデータドライバ19内で電力が消費される。

【0015】上記静電容量CxyおよびCwにおける充放電により消費されるエネルギーは、以下のように見積ることができる。

【0016】まず、静電容量Cxyへの充放電による消費エネルギーは、以下のようになる。

【0017】アドレス電極配線Wに電圧Vwが印加されて、静電容量Cxyが充電されるとき、データドライバ

19のドライバ電源からは $Cxy \cdot Vw^2$ のエネルギーが出力され、そのうち $(Cxy \cdot Vw^2) / 2$ が静電容量Cxyに蓄積され、残りの $(Cxy \cdot Vw^2) / 2$ は、データドライバ19内で消費される。

【0018】また、静電容量Cxyの放電のときは、静電容量Cxyに蓄積されていた $(Cxy \cdot Vw^2) / 2$ のエネルギーがデータドライバ19内に引き込まれてここで消費される。

【0019】従って、放電セルに対する一回のスイッチングに際して、アドレスパルスが立ち上がる場合にも、立ち下がる場合にも、1つの静電容量cxyあたり $(Cxy \cdot Vw^2) / 2$ のエネルギーが消費されることになる。

【0020】次に、静電容量Cwへの充放電による消費エネルギーは、以下のようになる。

【0021】なお、この静電容量Cwへの充放電による消費エネルギーについては、図26に示すように、データドライバ19の各出力にそれぞれ対応するアドレス電極配線Wへ印加するアドレスパルスが、電極配線Wkで立ち上がるタイミングと同時に、電極配線Wkに隣接する電極配線Wk+1で立ち下がる場合を考える。

【0022】データドライバ19の出力が切り替わる前には、静電容量Cwには、図26の(a)および図27(a)に示すように、電極配線Wk+1が正となる向きに、電圧Vwが印加されて充電される。

【0023】この状態から、データドライバ19の出力が切り替わって、電極配線Wkが0からVwに変化し、電極配線Wk+1がVwから0に変化すると、図27(b)に矢印で示すように電流が流れ、静電容量Cwには、電極配線Wkが正となる向きに電圧Vwが印加されて充電される。このときドライバ電源から静電容量Cwに流れ込む電荷量は、 $2(Cw \cdot Vw)$ となる。ドライバ電源から供給されるエネルギーは、(電源電圧) × (電荷量)であり、図27(b)から明らかなように、このエネルギーが全てデータドライバ19内で消費される。

【0024】つまり、一回のスイッチングで1つの静電容量Cwあたり $2(Cw \cdot Vw^2)$ のエネルギーが消費されることとなる。このため、例えば静電容量Cxyと静電容量Cwとが同じ値であるとした場合、静電容量Cwで消費されるエネルギーは、Cxyによるエネルギー消費の4倍にもなってしまう。

【0025】以上のように、データドライバ19では、その出力が切り替わる毎にエネルギーが消費され、特に、以下に説明するように隣接する画素での点灯・非点灯が交互に切り替わるような高域成分を多く含む画像を表示する場合には、アドレス電極配線W間の静電容量Cwにおける充放電によるエネルギー損失が極めて大きくなる。

【0026】以下、第2の問題点である表示画像のパターンと、データドライバにおける消費電力との関係を図25、図28および図29を用いて説明する。図28

は、PDPの各放電セルにおける点灯（ハッチングあり）・非点灯（ハッチングなし）を示しており、図29は、図28のようなパターンを表示する場合に各電極配線に印加する電圧波形を示している。

【0027】各放電セルに表示させるパターンに応じてアドレス電極配線 W_k-1 、 W_k 、 W_k+1 にアドレスパルス121が印加され、これと同時に走査維持電極配線 Y_1-1 、 Y_1 、 Y_1+1 に順次負の走査パルス122を印加することにより、各放電セルに表示画像パターンに応じた点灯・非点灯データが書き込まれる。

【0028】ここで、 t_1 のタイミングについて着目すると、アドレス電極配線 W_k に印加される電圧は、 V_w （約60V）から0に変化するため、静電容量 C_{xy} に蓄積されていた電荷（ $C_{xy} \cdot V_w$ ）がアドレス電極配*

$$(C_{xy} + 3 \times C_w) \times V_w^2 / 2 \quad \dots (1)$$

一方、タイミング $t+1$ の瞬間には、図28に示されるように1行目と1+1行目の表示パターンが同じであるため、各アドレス電極配線の電位は変化しない。従って、この $t+1$ のタイミングでは、データドライバ19には電流は流れ込まず、電力も消費しない。

【0030】このように、データドライバ19から出力されるアドレスパルスのスイッチング動作の度に、 C_w 、 C_{xy} への充放電によって電力が消費されるので、細かい模様の画像が入力され、それを表示すればするほど、つまり、入力画像の高域成分が多くなればなるほどデータドライバ19の出力のスイッチング回数が増え、対応して消費電力が大きくなってしまっていた。そして、このような表示画像に応じた消費電力増大を緩和する方法は全く提案されていなかった。また、消費電力の増大によってデータドライバ19内での発熱が起り、ドライバに発熱対策を講ずる必要などが生じ、コストアップの原因ともなっていた。

【0031】以上説明したように、従来の駆動回路においては、隣接する電極配線間の静電容量に起因したドライバでの電力消費量が大きく、また、このようなドライバでの消費電力を所定範囲内に抑えることができなかった。

【0032】この発明は上記のような問題点を解消するためになされたもので、第1の目的は、マトリクス表示装置の駆動回路において、駆動信号が印加される列または行方向の電極配線間に存在する静電容量による消費電力を低減することである。

【0033】また、第2の目的は、駆動電極ドライバにおける消費電力を一定範囲内に抑えることである。

【0034】

【課題を解決するための手段】この発明は、容量性の負荷を駆動して所望の表示を行うマトリクス表示装置の駆動回路において、信号印加タイミング制御手段が、マトリクス表示装置の列または行方向の駆動電極配線に、表示画像データに応じた駆動信号を印加する際に、互いに

*線 W_k からデータドライバ19に流れ込む。また、アドレス電極配線 W_k+1 から静電容量 C_w を通して（ $C_w \cdot V_w$ ）の電荷が、アドレス電極配線 W_k に向かって流れ込む。さらに、アドレス電極配線 W_k-1 では、アドレス電極配線 W_k とは反対に、0から V_w へと印加電圧が変化しているので、アドレス電極配線 W_k-1 から静電容量 C_w を通り、2（ $C_w \cdot V_w$ ）の電荷が、アドレス電極配線 W_k に向かって流れ込み、データドライバ19で消費される。以上のように、タイミング t_1 においては、次式（1）のような電力がアドレス電極配線 W_k で、つまりデータドライバ19で消費されることとなる。

【0029】

【数1】

隣接する駆動電極配線にそれぞれ印加する前記駆動信号の立ち下がり立ち上がりタイミングとが互いにずれるように制御することを特徴とするものである。

【0035】また、上記信号印加タイミング制御手段は、前記各駆動電極配線に印加する駆動信号の立ち上がりまたは立ち下がりタイミングの少なくとも一方のタイミングを遅延させ、前記タイミングの遅延期間は、前記駆動信号の立ち上がりまたは立ち下がり要する期間にほぼ等しく設定することを特徴とするものである。

【0036】さらに、信号印加タイミング制御手段は、前記各駆動電極配線に印加する駆動信号の立ち上がりタイミングのみを遅延させることを特徴とするものである。

【0037】また、この発明において、マトリクス表示装置は、前記駆動電極配線とそれぞれ交差するように配置された走査電極配線を有し、遅延された前記各駆動電極配線への前記駆動信号の印加タイミングと、これに対応する前記走査電極配線への走査信号の印加タイミングとが一致するように制御することを特徴とするものである。

【0038】上記信号印加タイミング制御手段は、外部信号に基づいて、前記駆動信号の立ち上がりまたは立ち下がりタイミングの少なくとも一方を制御することを特徴とするものである。

【0039】さらに、この発明においては、前記駆動電極配線に前記駆動信号を印加する少なくとも2つの駆動電極ドライバ手段を有し、隣接する前記駆動電極配線を異なる前記駆動電極ドライバ手段によって別々に駆動し、信号印加タイミング制御手段が、隣接する駆動電極配線をそれぞれ駆動する異なる駆動電極ドライバ手段から出力される前記駆動信号の立ち上がりタイミングと、立ち下がりタイミングとが互いにずれるように制御することを特徴とするものである。

【0040】またさらに、前記駆動電極配線に駆動信号を印加する駆動電極ドライバ手段での消費電力を検出す

る検出手段と、前記検出手段での検出結果に基づいて、入力画像データからその特定成分を除去し、除去して得られたデータを表示画像データとして前記マトリクス表示装置に表示させるための表示画像制御手段と、を備えることを特徴とするものである。

【0041】この発明は、さらに、容量性の負荷を駆動して所望の表示を行うマトリクス表示装置の駆動回路において、列または行方向の駆動電極配線に表示画像データに応じた駆動信号を印加する駆動電極ドライバ手段と、前記駆動電極ドライバ手段での消費電力を検出する検出手段と、前記検出手段での検出結果に基づいて、入力画像データからその特定成分を除去し、除去して得られたデータを表示画像データとして前記マトリクス表示装置に表示させるための表示画像制御手段と、を備えることを特徴とするものである。

【0042】上記表示画像制御手段は、前記検出手段における検出結果に基づいて、前記消費電力が大きくなると、前記入力画像データからその画像空間周波数の高域成分を選択的に除去することを特徴とするものである。

【0043】また、上記表示画像制御手段は、前記入力画像データを離散コサイン変換によって空間周波数データに変換し、前記検出手段での検出結果に基づいて前記空間周波数データから高域成分を除去し、高域成分除去後に前記空間周波数データを逆離散コサイン変換することを特徴とするものである。

【0044】あるいは、上記表示画像制御手段は、前記検出手段での検出結果に基づいて、前記入力画像データを縦 h 画素×横 j 画素（但し、 h 、 j は、正の整数）のブロックに分割し、各ブロック内の各画素についての画像データをブロック内で共通の表示データに変換して、入力画像データの高域成分を除去することを特徴とするものである。

【0045】そして、この表示画像制御手段は、前記分割した同一ブロック内において、各画素のデジタル画素データをその低ビット側成分から優先的に同一ブロック内での共通データに置換することを特徴とするものである。

【0046】また、この発明のマトリクス表示装置は、一デジタル画像表示単位期間を1フィールド期間とし、前記1フィールド期間を表示階調ビット数に応じた数のサブフィールドに時分割して表示することにより階調表示を行う表示装置であって、前記検出手段での検出結果に基づいて、前記消費電力が大きくなると、前記サブフィールドの内、表示階調ビット数の低ビット側の前記サブフィールドから優先的にその表示を省略すること特徴とするものである。

【0047】この発明は、上記駆動電極ドライバ手段が、複数のドライバブロックに分割されている場合には、前記駆動電極ドライバ手段での消費電力を検出する前記検出手段は、分割された前記各ドライバブロック毎

にそのドライバブロックにおける消費電力を検出することを特徴とするものである。

【0048】また、前記各ドライバブロックが所定数の前記駆動電極配線毎に集積された個々の集積回路によってそれぞれが構成されていることを特徴とするものである。

【0049】あるいは、前記各ドライバブロックが、所定数の前記駆動電極配線毎に集積された個々の集積回路のうち、互いに熱伝達し得る複数の集積回路によって構成されることを特徴とするものである。

【0050】この発明は、前記駆動電極ドライバ手段での消費電力を検出する検出手段は、前記入力画像データに基づいて前記消費電力を予測演算によって検出し、この場合において、前記表示画像制御手段は、前記予測演算による検出結果に基づいて、前記入力画像データからその特定成分を除去することを特徴とするものである。

【0051】また、この発明では、容量性の負荷を駆動して所望の表示を行うマトリクス表示装置の駆動方法において、前記マトリクス表示装置の列または行方向の駆動電極配線に、表示画像データに応じた駆動信号を印加する際に、互いに隣接する駆動電極配線にそれぞれ印加される前記駆動信号の立ち下がり立ち上がりタイミングとが互いにずれるように制御することを特徴とするものである。

【0052】また、この発明の別の駆動方法においては、容量性の負荷を駆動して所望の表示を行うマトリクス表示装置の駆動方法であり、前記マトリクス表示装置の列または行方向の駆動電極配線に表示画像データに応じた駆動信号を印加する駆動電極ドライバ手段における消費電力を検出し、前記消費電力の検出結果に基づいて、入力画像データの特定成分を除去し、除去して得られたデータを前記マトリクス表示装置に表示させることにより、前記駆動電極ドライバ手段での消費電力が所定以内になるように制御することを特徴とするものである。

【0053】

【発明の実施の形態】以下、この発明の好適な実施の形態（以下、実施の形態という）について、図面を用いて説明する。

【0054】実施の形態1. 実施の形態1において特徴的なことは、プラズマディスプレイ、液晶表示装置、ELディスプレイ等のマトリクス表示装置の各画素を駆動するための電極配線にそれぞれ駆動信号を印加するにあたり、隣接する電極配線間で駆動信号の立ち上がり立ち下がりタイミングがずれるように制御することである。

【0055】図1は、実施の形態1に係るプラズマディスプレイ装置の駆動回路の概略構成を示している。

【0056】図1において、外部から入力画像データ1が供給されると、これがドライバコントローラ20内の

画像データ並べ替え部3に供給される。画像データ並べ替え部3は、この入力画像データ1をプラズマディスプレイでの表示に適した順番に並べ替え、ディスプレイの各放電セルの放電・非放電を示す駆動データ16を2つのデータドライバ9にそれぞれ出力する。ただし、データドライバ9は、単一の構成の場合もある。

【0057】データドライバ9は、この駆動データ16に基づき、プラズマディスプレイ装置における駆動電極配線に相当するアドレス電極配線 $W1, W3 \cdots W2n-1$ と、 $W2, W4 \cdots W2n$ とに対し、それぞれ駆動信号として、アドレスパルス印加し、各放電セルの点灯・非点灯を決定している。

【0058】そして、本実施の形態1においては、後述するようにこのデータドライバ9内に、信号印加タイミング制御手段として立ち上がり遅延回路を設け、これにより隣接するアドレス電極配線13に印加するアドレスパルスの立ち上がり立ち下りのタイミングがずれるように制御する。

【0059】また、コントローラ20に設けられたシーケンスコントローラ5によって、アドレスパルスの印加と同時に、対応するマトリクス表示装置の走査電極配線、プラズマディスプレイ装置では走査維持電極配線15 ($Y1 \sim Yi$) に、走査信号である走査パルスが印加され、PDPパネル12の各放電セルに点灯・非点灯の情報を書き込まれる。さらに維持電極配線14と走査維持電極配線15に交互に維持パルスが印加され、PDP12で所望の画像が発光表示される。

【0060】次に、図1のデータドライバ9の構成および動作について図2を用いて説明する。

【0061】コントローラ20からシリアルデータとして駆動データ16が出力されると、これがシフトレジスタ24に順次供給されてパラレルデータに変換される。次に、ラッチ回路25に向けてパラレル駆動データ $S1, S2 \cdots Sm$ が出力され、ラッチ回路25は、供給されるラッチイネーブル信号 LE がオン(例えばHレベル)となると、これに応じて、シフトレジスタ24からの出力をラッチし、ラッチされた駆動データ $S1 \sim Sm$ は、ラッチデータ $L1 \sim Lm$ として、それぞれ出力される。

【0062】ラッチ回路25の各ラッチデータ出力経路には、それぞれ信号印加タイミング制御手段として立ち上がり遅延回路32が設けられており、ラッチデータ $L1 \sim Lm$ のパルスの立ち上がりだけを遅延させる。立ち上がり遅延回路32は、例えば図5に示すような簡易な構成で実現でき、このような回路構成により図6に示すようにラッチデータのパルスの立ち上がりだけが遅延した信号(出力 $OUTb$)が得られる。

【0063】図5に示す立ち上がり遅延回路32は、ラッチ回路25から出力されるラッチデータを遅延させる遅延回路40と、アンド回路44とにより構成される。

遅延回路40は、バッファ41、42とコンデンサ43とを備え、図6のようにラッチデータである入力 INa を t_d だけ遅延させて、これを遅延回路出力($OUTa$)としてアンド回路44の一方の入力端に供給する。アンド回路44のもう一方の入力端には、ラッチデータ(入力 INa)が直接供給される。アンド回路44は、遅延のないラッチデータと t_d だけ遅延を受けたデータとのアンドをとり、これにより図6の出力 $OUTb$ のようにパルスの立ち上がりだけが t_d だけ遅延した信号がアンド回路44から出力される。

【0064】このようにして立ち上がり遅延回路32において立ち上がりタイミングの遅延された各ラッチデータ $L1 \sim Lm$ は、対応するレベルシフタ26およびFET駆動バッファ27と、反転FET駆動バッファ128とにそれぞれ供給され、これらを介してトータムボール回路を構成する電解効果トランジスタ(FET)29、30のオンオフが制御される。これにより、トータムボール回路の出力端 $O1 \sim Om$ からそれぞれ Vw または $0V$ の電圧が出力され、この出力、つまり立ち上がりタイミングの遅延したアドレスパルスが、対応するアドレス電極配線13に印加されることとなる。

【0065】なお、データドライバ9は、図2に示すような回路ブロックを集積して形成されるが、実際には、数10ビット程度の出力ごとに集積回路化し、これを組み合わせて用いて一枚の表示パネルを駆動することが多い。

【0066】次に、図1、図3および図4を用いて本実施の形態1によるデータドライバ9での消費電力の低減作用について説明する。

【0067】上述のように、データドライバ9において、各アドレス電極配線 W に印加するアドレスパルスの立ち上がりが遅延される。よって、PDP12上で互いに隣接して配置されたアドレス電極配線 $Wk, Wk+1$ について着目すると、各電極配線でのアドレスパルスは、例えば図3に示すような電圧波形となり、隣接する電極配線間では、一方のアドレスパルスの立ち上がり、と、他方のアドレスパルスの立ち下りとはそのタイミングが t_d だけずれている。このタイミングのずれ t_d は、アドレスパルスの立ち上がりおよび立ち下りに要する期間とほぼ等しくなるように設定しておくことで、確実に、隣接する電極配線間でアドレスパルスの立ち上がり、と、立ち下りタイミングをずらすことが可能となる。なお、このずれ t_d は、遅延回路40のコンデンサ43の容量を調整することにより容易に変更することができる。

【0068】図3の期間(a)において、アドレス電極配線 Wk は $0V$ であり、隣接するアドレス電極配線 $Wk+1$ が Vw であると、電極配線間の静電容量 Cw は、図4(a)のようにアドレス電極配線 $Wk+1$ 側が正となるように充電される。

【0069】図3の期間(b)においてアドレス電極配線 W_{k+1} が V_w から0Vに立ち下がるとする。従来であれば、アドレス電極配線 W_{k+1} のアドレスパルスの変化と同一タイミングでアドレス電極配線 W_k が、0Vから V_w へと変化するのであるが、本実施の形態1では、パルスの立ち上がりタイミングが遅延されているので、アドレス電極配線 W_k のアドレスパルスは、この期間(b)では変化しない。このため、静電容量 C_w では、アドレス電極配線 W_{k+1} 側のみが V_w から0Vに変化して、図4(b)に示すような向きに電流が流れて、静電容量 C_w が放電し、 $(C_w \cdot V_w^2) / 2$ の電力がデータドライバ9で消費される。

【0070】期間(c)に、アドレス電極配線 W_k のアドレスパルスが、0から V_w に立ち上がると、図4

(c)に示すように電流が流れて静電容量 C_w が充電される。このときドライバ電源からは、 $C_w \cdot V_w^2$ のエネルギーが供給され、そのうち、 $(C_w \cdot V_w^2) / 2$ が静電容量 C_w に蓄積され、残りの $(C_w \cdot V_w^2) / 2$ がデータドライバ9内で消費される。

【0071】以上の説明から明らかなように、実施の形態1のように制御することにより、1回のアドレスパルスのスイッチング動作において、1つの静電容量 C_w あたり $C_w \cdot V_w^2$ の電力が消費されることとなる。そして、この消費量は、従来の $(2 \times C_w \cdot V_w^2)$ の $1/2$ であり、アドレスパルスの立ち上がりタイミングを遅延させることにより、確実にデータドライバ9の消費電力が低減することが可能となっている。但し C_{xy} への充放電による電力消費は、前述の計算と同一になるため、ここでは説明を省略した。

【0072】なお、以上の説明ではアドレスパルスの立ち上がりタイミングのみを遅延させるが、必ずしも立ち上がりタイミングには限られず、立ち下がりタイミングを遅延させてもよい。つまり、データドライバ9の消費電力低減の観点からは、隣接するアドレス電極配線において、互いのアドレスパルスの立ち上がりと、立ち下がりのタイミングが一致しなければ、立ち上がりと立ち下がりのどちらが先でもよい。

【0073】しかし、表示パネルの特性上からはアドレスパルスの立ち下がりが先のほうがよい。つまり、アドレスパルスの立ち上がりタイミングを遅延させる方が、立ち下がりタイミングを遅延させるよりも好ましい。これは、立ち下がりタイミングを遅延させると、隣接するアドレス電極配線間で一方のアドレスパルスが立ち下がる前に他方のアドレスパルスが立ち上がって、2つの電極配線の出力がHレベルになるタイミングが生じ、このタイミングがさらに走査パルスと重なると両方の電極配線に係る2つの放電セルが発光状態となるような誤動作が生ずる可能性があるからである。

【0074】さらに、上記表示パネルでの誤動作を最小限とするためには、図7(a)、(b)に示すように、

アドレスパルス21の立ち下がりを先に行うと共に、図7(c)、(d)に示すように、このアドレスパルス21の立ち上がりと走査維持電極配線Y(15)への走査パルス22の印加タイミングを揃えることが好ましい。これは、例えば、走査維持ドライバ11内に図5と同様な遅延回路40を設け、走査パルス22の立ち上がりおよび立ち下がりタイミングをアドレスパルス21の立ち上がりタイミング t_d と同じだけ遅延させることにより、実現できる。

【0075】実施の形態2. 次に、実施の形態2について図8および図9を用いて説明する。プラズマディスプレイ装置の駆動回路全体構成は図1と同様である。なお、本実施の形態以降において、既に説明した図面と同様な構成には同一符号を付して説明を省略する。

【0076】本実施の形態2では、アドレス電極配線13に印加するアドレスパルスの立ち上がりおよび立ち下がりタイミングを外部信号によって制御する。具体的には、信号印加タイミング制御手段として、図8に示すようなパルス制御回路23を設け、この回路23を外部からの制御信号(立ち上がりラッチイネーブル信号LE、立ち下がりラッチイネーブル信号LE)によって制御する。

【0077】パルス制御回路23は、2つのアンド回路23a、23bと、この2つのアンド回路の出力のオアをとって出力するオア回路23cによって構成される。アンド回路23aの反転入力端と、アンド回路23bの一方の入力端にはシフトレジスタからの出力 $S_1 \sim S_m$ の対応する出力が供給されている。各アンド回路23aの非反転入力端には、立ち下がりラッチイネーブル信号LEが供給され、アンド回路23bの他方の入力端には立ち上がりラッチイネーブル信号LEが供給されている。さらに、シフトレジスタ24からの出力データをそれぞれラッチするラッチ回路25のラッチ制御端子には、対応するオア回路23cの出力が、ラッチイネーブル信号LEとして供給される。そして、ラッチ回路25は、この信号LEがオンになるとそれぞれシフトレジスタ24からの出力信号をラッチする。

【0078】本実施の形態2のデータドライバ9の動作は次のようになる。

【0079】シフトレジスタ24からの所定の出力データ S_k 、 S_{k+1} について着目すると、図9(a)、(b)のように出力データ S_k がHレベル、出力データ S_{k+1} がLレベルの場合において、図9(c)のように立ち下がりラッチイネーブル信号LEがオン(Hレベル)となると、出力データ S_{k+1} を入力とする $k+1$ 番目のアンド回路23aの出力がHとなって、これがそのままオア回路23cからHレベルのラッチイネーブル信号 LE_{k+1} として、対応する $k+1$ 番目のラッチ回路25に印加される。このため、 $k+1$ 番目のラッチ回路25がシフトレジスタのLレベル出力 S_{k+1} をラッ

チして、図9(h)のように、トータムポール回路の出力 O_{k+1} がLレベルとなる)。

【0080】次に、図9(d)のように立ち上がりラッチイネーブル信号がHレベルとなると、k番目のパルス制御回路23のアンド回路23bの出力がHレベルとなり、オア回路23cからHレベルのラッチイネーブル信号 LE_k としてk番目のラッチ回路25に印加される。k番目のラッチ回路25は、これにより図9(g)に示すように、Hレベルの出力データ S_k をラッチし、出力 O_k がHレベルに立ち上がる。

【0081】以上のようにしてデータドライバ9を構成することにより、アドレスパルスの立ち上がりタイミング(あるいは立ち下がりタイミング)を簡単な構成で、外部から選択的に制御することが可能であり、また実施の形態1と同様にデータドライバにおける消費電力を低減することができる。

【0082】特に、本実施の形態2においては、実施の形態1と異なって、アドレスパルスのタイミングを外部からコントロールすることができるため、図5の遅延回路40のばらつきに起因したアドレスパルスの出力タイミングのずれ等をなくすることが可能である。さらに、駆動する負荷の特性、つまり表示パネルにおける静電容量の大きさ等に合わせて、アドレスパルスの立ち上がりと立ち下がりのタイミングを微調整することも容易である。従って、駆動パルスとしてのアドレスパルスのタイミングを最適化でき、ディスプレイにおける表示特性を安定化することが可能となる。

【0083】また、これらアドレスパルスの出力タイミングを制御する立ち上がりラッチイネーブル信号を外部信号とすることで、この信号を図1に示す走査維持ドライバ11への走査パルスの出力タイミングを制御する信号としても利用でき、より簡単に、アドレスパルスの立ち上がりと走査パルスの立ち上がりとを同期させることが可能となる。

【0084】実施の形態3. 次に、実施の形態3について図10を用いて説明する。本実施の形態3における最大の着目点は、図示するように、データドライバが、例えば大きくみて2つのブロックに分割されており、データドライバ(Aブロック)51が奇数番目のアドレス電極配線 $W_1, W_3 \cdots W_{2n-1}$ を駆動し、データドライバ(Bブロック)52が偶数番目のアドレス電極配線 $W_2, W_4 \cdots W_{2n}$ を駆動していることである。

【0085】つまり、本実施の形態3では、2つのデータドライバ51、52が、PDP12上で隣接するアドレス電極配線を駆動するので、この2つのデータドライバ51、52が別のタイミングでアドレスパルスを出力するように制御することによって、自動的に、隣接する駆動電極配線で、印加される駆動電極の立ち上がり立ち下がりタイミングとをずらすことを可能としている。

【0086】具体的には、信号印加タイミング制御手段

として遅延回路50を設け、これを、コントローラ20から各データドライバ51、52のいずれかに供給されるラッチイネーブル信号の出力配線経路に設け(本実施の形態3ではデータドライバ52側)、データドライバ51、52の一方の内部のラッチ回路でのラッチタイミングを遅延させる。

【0087】これにより、一方のデータドライバ(ここでは、データドライバ52)からのアドレスパルスの出力タイミングを遅延させ、PDP12上で隣接するアドレス電極配線間で、アドレスパルスの立ち上がりと立ち下がりのタイミングが一致しないように制御している。

【0088】このように実施の形態3では、上記実施の形態のようにデータドライバとして専用に集積回路を製造してこれを用いる必要がなく、隣接するアドレス電極配線を駆動するデータドライバのいずれか一方に対応して遅延回路50を設けるだけで、実施の形態1と同程度にデータドライバの消費電力を低減することが可能となる。

【0089】実施の形態4. PDP上に、例えば画素ごとに点灯・非点灯が入れ替わるような高域成分を含んだ画像を表示すると、図28および図29からも明らかなように、アドレスパルスの反転が頻繁に起こり、これによって、上述したように電極配線間の静電容量 C_w に起因してデータドライバの消費電力が増加してしまう。

【0090】そこで、本実施の形態4においては、データドライバの消費電力を検出してその値に応じて、表示画像制御手段によって、原画像データ(入力画像データ)の高域成分を除去し、データドライバの消費電力が所定範囲内となるようにフィードバック制御している。

【0091】図11は、このような制御を行うためのプラズマディスプレイ装置の駆動回路の構成を示している。図1と異なる点は、まず、データドライバの消費電力に応じて入力画像データ1の高域成分を除去する表示画像制御手段として、コントローラ70内に、入力画像データ1から高域成分を除去する高域成分除去フィルタ2と、このフィルタ2をコントロールするフィルタコントローラ4とを有することである。

【0092】また、駆動回路の電源部60のうち、データドライバ電源6の消費電力を検出するため検知手段として、電流検出器8を有し、この検出器8での検出結果34に応じて、高域成分除去フィルタ2で高域成分の除去が行われている。

【0093】図12は、高域成分除去フィルタ2の構成例である。本実施の形態4においては、離散コサイン変換部(DCT: Discrete Cosine Transform)61を設けて入力画像データ1を離散コサイン変換し、高域成分除去部62が、得られた空間周波数成分データからフィルタコントローラ4の制御に基づいて検出結果34に応じて高域成分を高域側から優先的に除去する。除去後、逆離散コサイン変換部(IDCT: Inverse DCT)63

が空間周波数成分データをもとの形式の画像データに復調する。図 13 は、表示画像の空間周波数に対する高域成分除去フィルタ 2 の特性（ゲイン）を示したものである。図 13 に示されるように、電流検出の結果、データドライバ消費電力が大であれば、画像の空間周波数が高くなるほどフィルタゲインを通常値より低くして、入力画像データからの高域成分の除去量を多くする。

【0094】データドライバ消費電力が比較的小さい場合には、表示画像の空間周波数が消費電力「大」の場合に比べ、より高い範囲まで入力画像に対する高域成分除去は行わない。

【0095】次に、電流検出器 8 の構成例について図 14 を用いて説明する。図 14 に示す電流検出器 8 は、データドライバ電源 6 からデータドライバ 9 までの電源供給線に電流検出抵抗 80 を挿入し、この抵抗 80 での電圧降下に基づいて電流量を求める。データドライバ 9 における消費電力が、電源 6 からデータドライバ 9 に供給される電力に対応しているため、図 14 のように電源供給線で検出された電流値に基づいてデータドライバ 9 での消費電力を検知する事ができる。また、検出抵抗 80 を電源供給線に挿入する構成とすれば、データドライバ電源電圧などに応じた外付回路を用いてこの電流検出抵抗 80 を構成することができる。

【0096】また、データドライバ電源の出力電圧は、60V 程度と高電圧であるので、電流検出のためには、まず、図 14 のようにレベルシフタ 82、84 で低電圧にシフトさせて低電圧にしてから、差動増幅器 86 において電圧差を求め、電流値を求めている。差動増幅器 86 で求められた検出結果 34 は、フィルタコントローラ 4 に供給され、フィルタコントローラ 4 は、上述のようにこの検出結果 34 に基づいて入力画像データ 1 からの高域成分の除去を制御する。

【0097】図 15 は、従来の駆動方式と本実施の形態 4 の駆動方式との場合で、原画像の細かさ（入力画像の高域成分の多さ）と、データドライバにおける消費電力との比較例を示している。従来の駆動方式では、入力画像が高域成分を含んでいても、それをそのままディスプレイに表示するため、図 15 の点線に示されるように入力画像の高域成分が増加するほど、これに比例してデータドライバでの消費電力が増大している。

【0098】一方、実施の形態 4 では、電流検出器 8 での検出結果に基づいて、データドライバでの消費電力が大きくなるに従い、画像の高域成分を除去して消費電力が一定値以上を越えないようにフィードバック制御する。従って、図 15 において実線で示すように、本実施の形態 4 では、データドライバにおける消費電力のピークをカットして、データドライバの消費電力を所定値以下にクランプすることができる。

【0099】なお、検出される消費電力を所定値でクランプするには、検出電流値に応じて、フィルタコントロ

ーラ 4 が、高域成分除去フィルタ 2 での高域除去の程度が適切になるように制御することによって、比較的容易に達成することができる。

【0100】また、本実施の形態 4 においては、フィルタコントローラ 4 における電流検出器 8 からの電流の検出結果 34 に対する応答性に適度な時定数を与えれば、入力画像データ 1 の変化に対して、高域成分の除去が少し遅れて追従することになる。このため、入力画像データ 1 から高域成分を除去したことによる表示画像の変化を目視上わかりにくくすることができる。

【0101】以上のように、本実施の形態 4 においては、データドライバにおける消費電力に基づいて画像の高域成分を除去し、消費電力が過大にならないように制御する。従って、最大許容損失の小さいドライバ回路もデータドライバとして使用することができ、ドライバ回路のコストダウンを容易とすることが可能となる。さらに、電力消費による発熱量を考慮した熱耐性設計も容易となる。なお、表示画像データにおける高域成分は、目視上、感知されにくいので、高域成分除去による画質の劣化を比較的小さく抑えることも可能である。

【0102】ところで、上述の実施の形態 1～3 においては、信号印加タイミング制御手段を設けて、隣接するアドレス電極配線 13 間で、アドレスパルスの立ち上がり立ち下がりとの不一致ないようにパルスの立ち上がり立ち下がりを制御している。本実施の形態 4 においても、実施の形態 1、2 のようにデータドライバ 9 内に立ち上がり遅延回路 32 や、パルス制御回路 23 を設け、あるいは実施の形態 3 のように遅延回路 50 を設けて、隣接するアドレス電極配線 13 間でアドレスパルスの立ち上がり立ち下がりのタイミングをずらすように制御する構成が適用可能である。このように、アドレスパルスのタイミングを制御するとともに、データドライバの消費電力が一定レベル以上にならないように画像データの高域成分を適宜除去すれば、データドライバ 9 における消費電力の低減効果をより一層高くすることが可能となる。

【0103】実施の形態 5。本実施の形態 5 では、上記実施の形態 4 と同様に、データドライバ電源 6 における電流検出結果に基づいて、原画像つまり入力画像データの高域成分を除去する。実施の形態 4 と異なる点は、図 11 の高域成分除去フィルタ 2 における高域除去方式である。実施の形態 4 では、離散コサイン変換によって入力画像データ 1 の空間周波数データを得て高域成分を除去している（図 12 参照）。これに対して、実施の形態 5 では、図 16 に示すように原画像データを縦 h 画素×横 j 画素のブロックに分割し（h および j は、正の整数）、各ブロック内における各画素の画像データをブロック内で共通のデータに変換することにより、高域成分を除去する。以下、図 11 および図 16 を用いて実施の形態 5 について説明する。

【0104】まず、フィルタコントローラ4は、実施の形態4と同様に電流検出器8にて検出された電流検出値に基づいて高域成分除去フィルタ2に制御信号33を出力する。これに応じて、高域成分除去フィルタ2は、画像データを共通化する単位ブロックの大きさ（縦h画素×横j画素）を決定する。

【0105】例えば、検出されたデータドライバの消費電力が小さいときは、図16(a)のように入力画像データ1が細かくても、入力画像データ1をそのまま表示画素データとしてPDP12に表示する。

【0106】データドライバの消費電力が大きくなった場合、図16(b)に示すように、高域成分除去フィルタ2は、例えば入力画像データ1を縦2×横2のブロックに分解し、各ブロック内を共通のデータに変換して（例えば、点灯・非点灯状態が同一となるようにして）、これにより高域成分を除去する。なお、ブロック毎の点灯・非点灯は、原画像である入力画像データ1でのブロック内の点灯・非点灯数の数に応じて、例えば多数決などにより決定することができる。

【0107】高域成分除去フィルタ2は、さらに消費電力が大きくなると、入力画像データ1をより大きいブロック、例えば図16(c)に示すように縦3×横2のブロックに分解して、各ブロック内で点灯・非点灯を決定し、図示されるような画像をPDP12上に表示する。

【0108】以上のような構成によっても、データドライバの消費電力に応じて、入力画像データの高域成分を除去することができ、画質の劣化を抑えながら消費電力を所定範囲内に抑えるように制御することが可能となる。

【0109】また、上述のような画像処理は、デジタルRGB画像データの表示にあたり、同一ブロック内の各画素についてのデジタルデータに対し、その低ビット成分（LSB）側から優先的にブロック内で共通化すれば、表示画像の画質の低下を最小限に抑えつつ、画像の高域成分を除去することができ、データドライバ9における消費電力を所定範囲内に維持することができる。

【0110】実施の形態6。次に、図17および図18を用いて本実施の形態6について説明する。本実施の形態6では、プラズマディスプレイ装置において階調表示を行う場合に、1つのフィールド（例えばテレビ画面表示の場合に、1TVフィールドは16.7ms）を複数のサブフィールドに分割して表示するいわゆるサブフィールド階調表示法を用いている。

【0111】サブフィールド階調表示法では、図18に示すように、1フィールドが、表示階調ビット数Nに応じて、そのビット数の最高ビット（MSB）側から順に第1サブフィールドSF1、第2サブフィールドSF2・・・第6サブフィールドSF6（最低ビット（LSB）側）に割り当てられている（実施の形態6では、N=6）。各サブフィールドは、各放電セルにそれぞれア

ドレスパルスおよび走査パルスが印加されて各放電セルに点灯・非点灯情報が書き込まれるアドレス期間56と、維持パルスが印加されて表示放電が維持される表示維持期間57とにより構成されている。各サブフィールドSF1～SF6における動作の相違点は、1サブフィールド期間中における維持パルスの印加数の違いであり、表示階調ビットが低くなるにつれて、維持パルスの印加数が少なくなるように割り当てられている。よって、各サブフィールドにおけるデータドライバの消費電力は、維持パルス数違いだけであるので、さほど変わらない値である。

【0112】実施の形態6においては、このようなサブフィールド階調表示法により画像表示を行った場合において、電流検出器8での検出電流値に基づいて、データドライバ9の消費電力が高くなった場合に、その度合いに応じて、低ビット側（LSB）側のサブフィールドSF6から順にその表示を省略することとしている。

【0113】プラズマディスプレイ装置において、通常、サブフィールド階調表示の制御は、シーケンスコントローラ5が行っている。そこで、実施の形態6の場合には、電流検出器8からの検出結果34をシーケンスコントローラ5に供給し、シーケンスコントローラ5が本実施の形態6の表示画像制御手段として、この検出結果34に基づいてサブフィールドの休止をコントロールする。

【0114】図18(b)は、サブフィールドSF6について、そのアドレス期間56における書き込み動作と、表示維持期間57における維持動作とを休止した場合の例を示している。これにより、図18(a)のように全てのサブフィールドSF1～SF6を表示した場合と比較すると、同一の表示データの場合において、単純計算でデータドライバ9における消費電力を5/6とすることが可能となる。

【0115】図18(c)では、さらにデータドライバ9における消費電力が大きくなった場合に、サブフィールドSF6、SF5の2つのサブフィールドの動作を休止した状態を示している。よって、サブフィールドSF6、SF5が表示されないの、図18(a)に比較すると、上記同様に単純計算でデータドライバ消費電力を2/3に低減することができる。

【0116】以上のように、本実施の形態6に係る駆動方式によれば、電流検出器8と、シーケンスコントローラ5によってデータドライバの消費電力のコントロールが可能であり、実施の形態4、5のように高域成分除去フィルタ2およびフィルタコントローラ4を設ける必要はない。よって、簡単な構成によって、データドライバにおける消費電力が大きい場合に、階調を多少低くすることによって、確実にデータドライバ9の消費電力のピークを低減することができる。

【0117】なお、本実施の形態6と、アドレスパルス

の立ち上がり立ち下がりタイミングをずらす実施の形態1の構成や、さらには原画像の高域成分を除去する実施の形態4、5などを組み合わせれば、より確実にデータドライバの消費電力を低減することが可能となる。

【0118】実施の形態7. 実施の形態7における特徴は、実施の形態4、5、6のような単一の電流検出器8ではなく、データドライバ9を構成する回路ブロックが所定数毎に集積されてなる複数の集積回路毎に、対応して電流検出器を設けることである。上述のように、データドライバ9は、多くの場合、例えば図2、8に示すような回路ブロックが所定数の出力毎に集積化された複数の集積回路を用いて構成されている。このため、表示画像の内容によっては、各集積回路や、互いに熱伝達される複数の集積回路ごとにその消費電力が異なることもあり、また、消費電力の許容範囲にバラツキが存在する場合もある。よって、データドライバ9全体としてはその消費電力が所定の許容範囲内であっても、いずれかの集積回路ではその許容範囲を超えてしまう可能性がある。

【0119】そこで、実施の形態7では、個々の集積回路、または近接配置などによって互いに熱伝達される複数の集積回路を1つのドライバブロックとし、図19に示すように、このような各ドライバブロック92に対して個別に電流検出器91を設け、また、最大値検出器93を設けて各電流検出器91での検出結果をこの最大値検出器93に供給している。そして、最大値検出器93が、各電流検出器91で得られた電流検出結果のいずれかが所定値を超えた場合に、これを検出して、コントローラ70内のフィルタコントローラ4またはシーケンスコントローラ5に検出結果34を供給する。

【0120】このように個別のドライバブロック92での電流検出結果に基づいて高域成分除去またはサブフィールドの除去動作にフィードバックをかけることにより、いずれのドライバブロック92でも消費電力の許容範囲を超えないように制御することが可能である。従って、実施の形態7により、データドライバの信頼性をより向上することができる。

【0121】実施の形態8. 本実施の形態8の特徴は、上述の実施の形態4～7のように、電流検出器によってデータドライバの消費電力を直接検出するのではなく、40 コントローラ70に供給される入力画像データ1に基づいてデータドライバ9における消費電力を予測することである。データドライバ9における消費電力は、図28および図29を用いて説明したように、アドレスパルスのスイッチング、つまりデータドライバ出力Omのスイッチング回数によって決まる。

【0122】そこで、実施の形態8においては、図20に示すようにコントローラ70内にドライバ電力予測演算部72を設け、入力画像データ1に基づいてデータドライバ9での消費電力を予測している。予測結果35 50

は、フィルタコントローラ4に供給され、消費電力が大きくなると予測された場合には、フィルタコントローラ4がこれを判定して、高域成分除去フィルタ2に所定の制御信号33を出力する。高域成分除去フィルタ2は、この制御信号33に基づいて、実施の形態4、5と同様な方法によって、入力画像データ1から高域成分を除去する。なお、予測演算部72の算出結果に基づいて、シーケンスコントローラ5を制御し、一部のサブフィールドの休止を行ってもよい。

【0123】次に、入力画像データ1に基づくデータドライバ9での消費電力の算出方法について図21、図25、表Aおよび表示Bを用いて説明する。なお、図21において、列方向はアドレス電極配線Wであり、行方向は走査維持電極配線Yであり、さらに、各電極配線の交点D(W, XY)はマトリクス状の放電セルを表している。

【0124】放電セルD(k, 1-1)およびD(k, 1)の表示が次の表(1)の(1)～(4)のように変化する場合、アドレス電極配線Wkと、走査維持電極配線Yおよび維持電極配線Xとで形成される静電容量Cxyに起因した消費電力は、それぞれ下記表Aの(5)欄に示すようになる。

【0125】

【表1】

次に、アドレス電極配線 W_k と隣接するアドレス電極配線 W_{k-1} との間に形成される静電容量 C_w に起因した消費電力は以下になる。各アドレス電極配線 W_k 、 W_{k-1} に印加されるアドレスパルスは、 $l-1$ 行選択期間から l 行選択期間へと移行する際に、下表Bの(1)～(16)のような組み合わせのいずれかで変化する。そして、これらの(1)～(16)の場合における静電容量 C_w に起因した消費電力は、表Bの(17)欄に示すようになる。

10 【0126】
【表2】

20

30

	$D(k, l-1)$	$D(k, l)$	消費電力 (5)
(1)	0	0	0
(2)	0	1	$(C_{xy} \cdot V_w^2)/2$
(3)	1	0	$(C_{xy} \cdot V_w^2)/2$
(4)	1	1	0

表A C_{xy} での消費電力

$D(k, l-1) \rightarrow D(k, l)$ で
アドレス電極電位変化なし

アドレス電極電位が
 $+V_w$ (又は $-V_w$) 変化して
 C_{xy} が V_w で充(放)電

	$D(K-1, I-1)$	$D(K-1, I)$	$D(K, I-1)$	$D(K, I)$	消費電力 (17)
(1)	0	0	0	0	0
(2)	0	0	0	1	$(C_V \cdot V_W^2)/2$
(3)	0	0	1	0	$(C_V \cdot V_W^2)/2$
(4)	0	0	1	1	0
(5)	0	1	0	0	$(C_V \cdot V_W^2)/2$
(6)	0	1	0	1	0
(7)	0	1	1	0	$2 \times C_V \cdot V_W^2$
(8)	0	1	1	1	$(C_V \cdot V_W^2)/2$
(9)	1	0	0	0	$(C_V \cdot V_W^2)/2$
(10)	1	0	0	1	$2 \times C_V \cdot V_W^2$
(11)	1	0	1	0	0
(12)	1	0	1	1	$(C_V \cdot V_W^2)/2$
(13)	1	1	0	0	0
(14)	1	1	0	1	$(C_V \cdot V_W^2)/2$
(15)	1	1	1	0	$(C_V \cdot V_W^2)/2$
(16)	1	1	1	1	0

→ C_V に V_W を放電→ C_V から V_W を放電

→ 同時に充電するのを放電なし

→ C_V を $V_W \rightarrow -V_W$ に充電電→ $K-1$ 列も K 列も変化しない表B C_V での消費電力

以上の表Aおよび表Bのように、表示パターンに応じたアドレスパルスの変化から各放電セル毎に、データドライバの消費電力を求めることができる。よって、ドライバ電力予測演算部72は、入力画像データ1から得られる点灯・非点灯情報に基づいて、表示パネル上の放電セルD(W, XY)のそれぞれについて、例えば、別途格納しておいた上記表A、Bを参照して消費電力を求め、その総和を求めれば、一画面分のデータをPDP12の各放電セルに書き込む際に要するデータドライバ消費電力を求めることができる。

【0127】以上、この実施の形態8のようにデータドライバ消費電力を予測演算して、その結果に基づいて入力画像データから特定成分を除去する事とすれば、1フィールド毎の入力画像の明暗変化が大きい場合などにおいても、一時的にデータドライバでの消費電力が規定値を超えてしまうことを未然に防止できる。

【0128】なお、以上に説明した各実施の形態1～8においては、マトリクス表示装置としてプラズマディスプレイ装置を例にとって説明したが、これには限らず、

置の各駆動回路においても、上述のような構成を採用することにより駆動電極ドライバの消費電力を低減あるいは一定範囲内に維持することができる。また、液晶表示装置およびエレクトロルミネッセンス表示装置において、駆動信号とは、プラズマディスプレイ装置でのアドレスパルスと同様に、各画素における点灯・非点灯を決定する信号であり、駆動電極配線は、このような駆動信号が印加される電極配線を意味する。また、走査信号とは、各画素でのより具体的な表示内容（輝度、階調など）を示す信号であり、走査電極配線とは、この走査信号が印加される電極配線である。

【0129】例えば、アクティブマトリクス型液晶表示装置を例にとると、上記駆動電極配線はゲート電極配線、駆動信号はゲート信号、走査電極配線はソースあるいはドレイン電極配線、走査信号はデータ信号に相当する。

【0130】

【発明の効果】以上のように、この発明によれば、プラズマディスプレイ装置、液晶表示装置、エレクトロルミネッセンス表示装置等のマトリクス表示装置の駆動回路において、互いに隣接する駆動電極配線にそれぞれ印加する前記駆動信号の立ち下がり立ち上がりタイミングとが互いにずれるように制御するため、隣接する駆動電極配線間に形成される静電容量の充放電による駆動電極ドライバでの消費電力を低減することができる。このように消費電力を低減できれば、携帯用の表示装置においては携帯時の使用時間を伸ばすことが可能で、一方大画面の表示装置を実現するにあたって発熱の問題を低減でき、極めて有利である。さらに最大許容消費電力の低い駆動電極ドライバを用いることができるため、装置のコストダウンを図ることもできる。

【0131】また、各駆動電極配線に印加する駆動信号の立ち上がりまたは立ち下がりタイミングの少なくとも一方のタイミングを遅延させるにあたって、タイミングの遅延期間を駆動信号の立ち上がりまたは立ち下がり要する期間にほぼ等しく設定すれば、確実に立ち上がり立ち下がりタイミングをずらすことが可能となる。

【0132】各駆動電極配線に印加する駆動信号の立ち上がりタイミングのみを遅延させることとすれば、タイミングのずれによって隣接する駆動電極配線の双方で駆動信号が立上がった状態になることが防止されことから、ドライバの消費電力を低減できると共に、表示装置における表示上の誤動作を回避することができる。また、これと併せて、駆動電極配線とそれぞれ交差するように配置された走査電極配線に印加する走査信号を、遅延された前記各駆動電極配線への前記駆動信号の印加タイミングと一致するよう制御すれば、より確実に表示上の誤動作を防止することができる。

【0133】さらに、信号印加タイミング制御手段が、外部信号に基づいて、前記駆動信号の立ち上がりまたは

立ち下がりタイミングの少なくとも一方を制御する構成を採用すれば、タイミングを遅延させる遅延回路などのバラツキによる影響を受けることなく、確実に信号の遅延量をコントロールすることができる。また、この外部信号を他の信号、例えば走査信号の制御に用いることができるので、遅延された駆動信号の印加と、走査信号の印加タイミングを一致させる構成などにおいて効果的である。

【0134】駆動電極配線に駆動信号を印加する少なくとも2つの駆動電極ドライバ手段を有し、隣接する前記駆動電極配線を異なる駆動電極ドライバ手段によって別々に駆動する場合においては、信号印加タイミング制御手段が、上記異なる駆動電極ドライバ手段が別のタイミングで駆動信号を出力するように制御すれば、簡単に、隣接する駆動電極配線で、印加される駆動電極の立ち上がり立ち下がりタイミングとをずらすことが可能となる。

【0135】また、本発明において、駆動電極ドライバ手段での消費電力を検出する検出手段を設け、その検出結果に基づいて、表示画像制御手段が、入力画像データからその特定成分を除去することとすれば、上記ドライバ手段における消費電力を入力画像データに関わらず常時一定範囲内に抑えることができる。従って、ドライバ手段における消費電力の最大許容値に応じた駆動が可能となり、回路設計が容易となると共に、より最大許容値の低いドライバ手段を採用することも可能となる。

【0136】また、ディスプレイの画素毎に点灯・非点灯表示が反転するような、高域成分を多く含む画像を表示すると、駆動電極ドライバ手段での消費電力が増大することから、駆動電極ドライバ手段での消費電力が大きくなった場合に、入力画像データからその画像空間周波数の高域成分を選択的に除去することとすれば、ドライバ手段での消費電力を一定範囲内に抑えることが容易である。

【0137】高域成分の除去にあたり、入力画像データを離散コサイン変換によって空間周波数データに変換して、検出手段での検出結果に基づいてその空間周波数データから高域成分を除去すれば、正確にかつ簡単な構成で高域成分の除去ができる。あるいは、この発明において、他の高域成分の除去方式として、検出手段での検出結果に基づいて、入力画像データを縦h画素×横j画素（但し、h、jは、正の整数）のブロックに分割し、各ブロック内の各画素についての画像データをブロック内で共通の表示データに変換する方式であっても、簡易な構成で高域成分の除去を行うことができる。なお、分割した同一ブロック内において、各画素のデジタル画素データをその低ビット側成分から優先的に同一ブロック内での共通データに置換すれば、画質の低下を最小限に抑えつつ、駆動電極ドライバ手段での消費電力の低減を図ることができる。

【0138】また、この発明において、マトリクス表示装置がサブフィールド方式による階調表示を行う場合には、上記検出手段での検出結果に基づいて、消費電力が大きくなるにつれ、サブフィールドの内、表示階調ビット数の低ビット側のサブフィールドから優先的にその表示を省略することによっても、駆動電極ドライバ手段での消費電力の低減を図ることが可能である。

【0139】さらに、この発明において、駆動電極ドライバ手段が、複数のドライバブロックに分割されている場合、各ドライバブロック毎にそのドライバブロックにおける消費電力を検出する構成を採用すれば、ブロック毎の実際の消費電力のバラツキや、最大許容値のバラツキ等によって、一部のドライバブロックにおいて最大許容値を超えてしまうことを確実に防止できる。このようにすれば、駆動回路の信頼性をより向上することが可能である。

【0140】また、この発明において、入力画像データに基づいて駆動電極ドライバ手段での消費電力を予測演算によって検出する構成とすれば、未然に消費電力の増加を防止することができる。従って、一画面表示期間

(1フィールド)毎に、表示画面の明暗が反転するなど、明暗の変化が速い画像などを表示する場合であっても、一時的にドライバ手段での消費電力が許容範囲を超えてしまうといった可能性を確実になくすることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に係るプラズマディスプレイ装置およびその駆動回路の構成を示す図である。

【図2】 図1のデータドライバ9の構成を示す図である。

【図3】 実施の形態1に係るアドレス電極配線の駆動波形を示す図である。

【図4】 実施の形態1の駆動方式におけるデータドライバでの消費電力を説明するための図である。

【図5】 図1の立ち上がり遅延回路32の構成を示す図である。

【図6】 図5の立ち上がり遅延回路32での駆動波形を示す図である。

【図7】 実施の形態1のアドレス電極配線と走査維持電極配線との駆動例を示す波形図である。

【図8】 この発明の実施の形態2に係るデータドライバの構成を示す図である。

【図9】 図8のデータドライバでの駆動波形を示す図である。

【図10】 この発明の実施の形態3に係るプラズマディスプレイ装置の駆動回路の構成を示す図である。

【図11】 この発明の実施の形態4に係るプラズマディスプレイ装置の駆動回路の構成を示す図である。

【図12】 図11の高域成分除去フィルタ2の構成を

示す図である。

【図13】 入力画像の空間周波数とフィルタゲインとの関係を示す図である。

【図14】 図11の電流検出器8の構成を示す図である。

【図15】 入力画像の空間周波数とデータドライバの消費電力との関係について従来と実施の形態4の駆動方式の比較を示す図である。

【図16】 この発明の実施の形態5に係るプラズマディスプレイ装置の駆動方式を説明する概念図である。

【図17】 この発明の実施の形態6に係るプラズマディスプレイ装置の駆動回路の構成を示す図である。

【図18】 実施の形態6における駆動方式を説明する概念図である。

【図19】 この発明の実施の形態7に係るプラズマディスプレイ装置の駆動回路の構成を示す図である。

【図20】 この発明の実施の形態8に係るプラズマディスプレイ装置の駆動回路の構成を示す図である。

【図21】 実施の形態8の駆動方式を説明するための図である。

【図22】 従来のプラズマディスプレイ装置およびその駆動回路を示す図である。

【図23】 従来のプラズマディスプレイ装置の駆動方法を示す駆動波形図である。

【図24】 図22のデータドライバ19の構成を示す図である。

【図25】 プラズマディスプレイ装置およびデータドライバの等価回路を示す図である。

【図26】 従来のプラズマディスプレイ装置のアドレス電極配線の駆動波形の一例を示す図である。

【図27】 従来の駆動方式におけるデータドライバでの消費電力を説明するための図である。

【図28】 プラズマディスプレイパネル上での表示例を示す図である。

【図29】 図28の表示を行うための従来の駆動波形を示す図である。

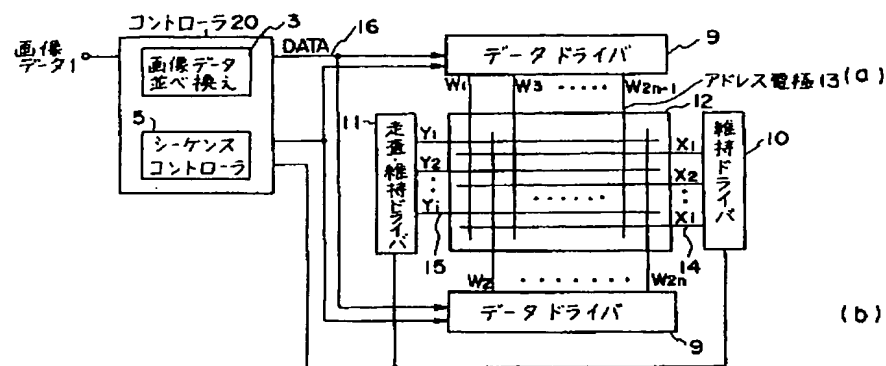
【符号の説明】

1 画像データ(入力画像データ)、2 高域成分除去フィルタ、3 画像データ並べ換え部、4 フィルタコントローラ、5 シーケンスコントローラ、6 データドライバ電源、8、9 電流検出器、9 データドライバ、10 維持ドライバ、11 走査維持ドライバ、12 PDP(プラズマディスプレイパネル)、13 アドレス電極配線、14 維持電極配線、15 走査維持電極配線、16 駆動データ、20、70 コントローラ、21 アドレスパルス、22 走査パルス、23 パルス制御回路、23a、23b、44 アンド回路、23c オア回路、24 シフトレジスタ、25 ラッチ回路、29、30 FET、32 立ち上がり遅延回路、33 制御信号、40、50 遅延回路、43 コ

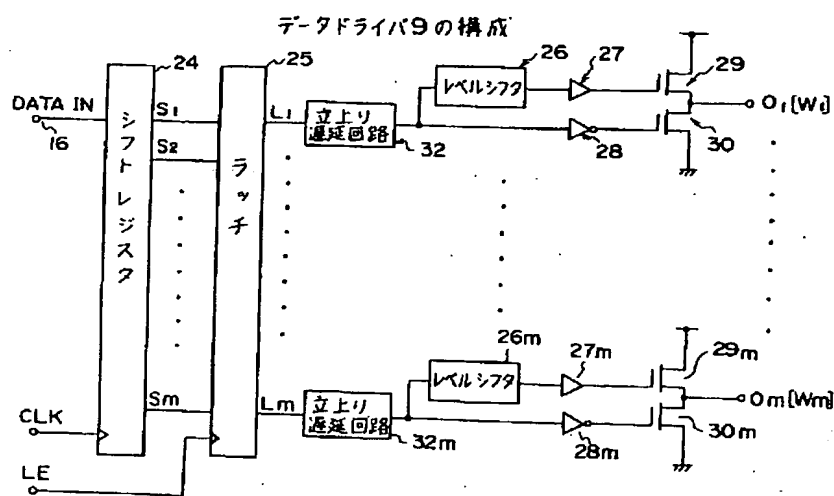
予測演算、80 電流検出抵抗、92 ドライブブロック、93 最大値検出器。

【図4】

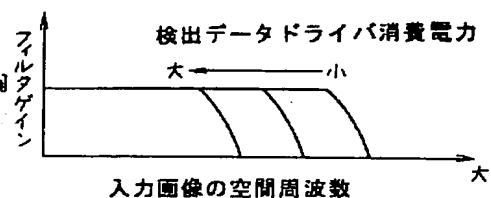
(b)



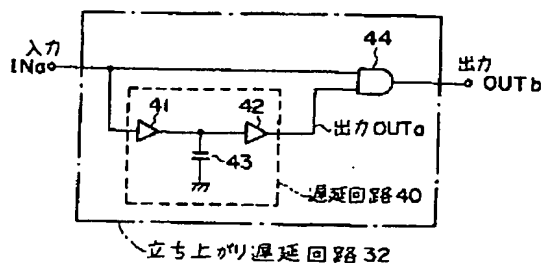
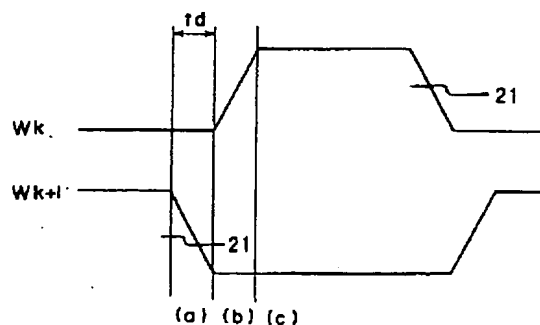
(C)



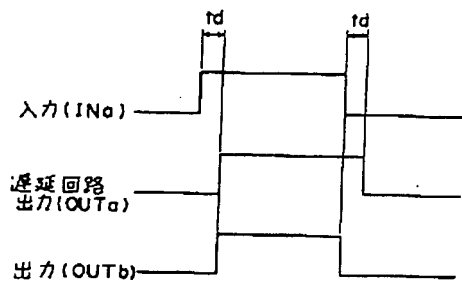
【图 13】



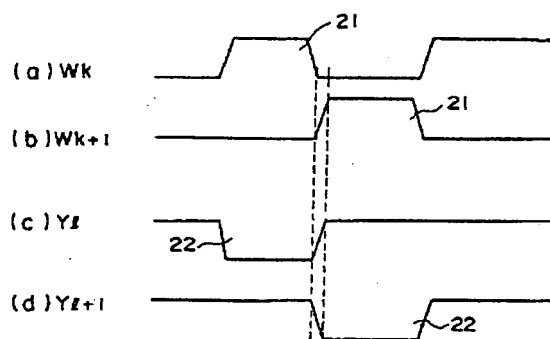
【図 5】



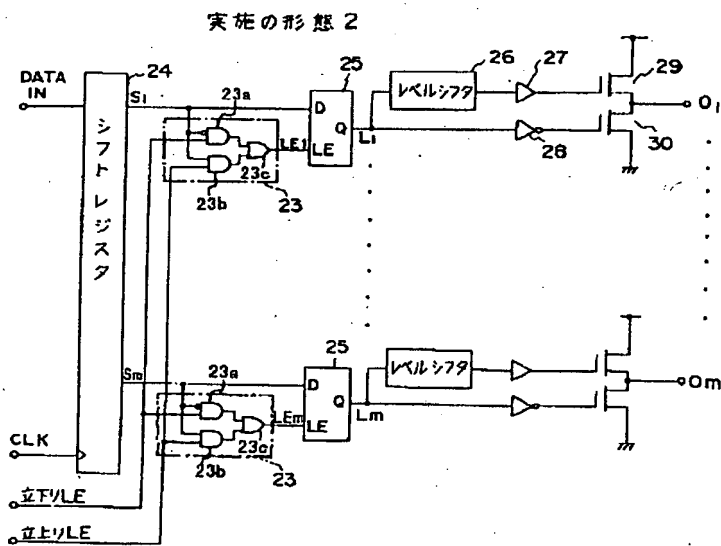
【図6】



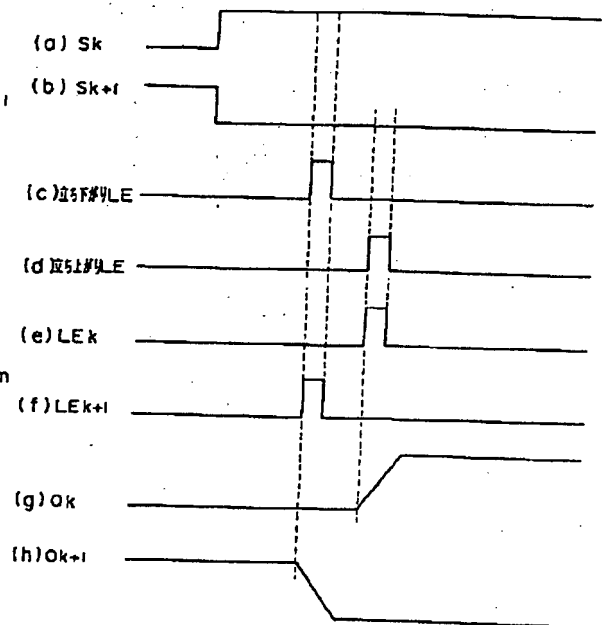
【図7】



【図8】

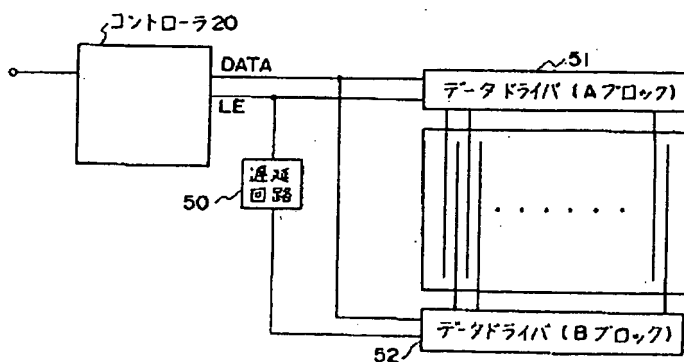


【図9】

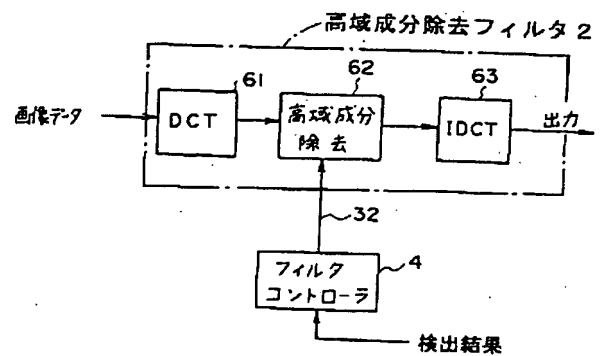


【図10】

実施の形態3

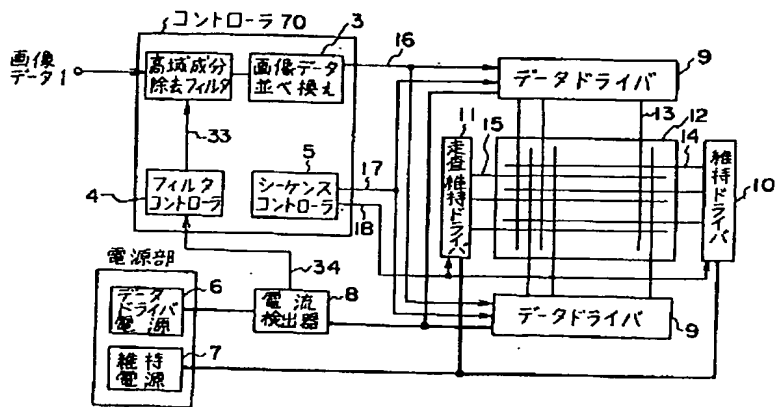


【図12】

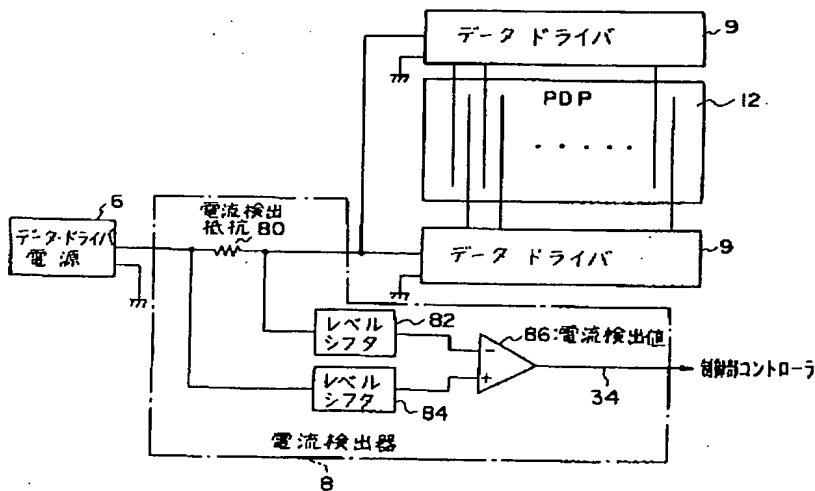


【図11】

実施の形態4

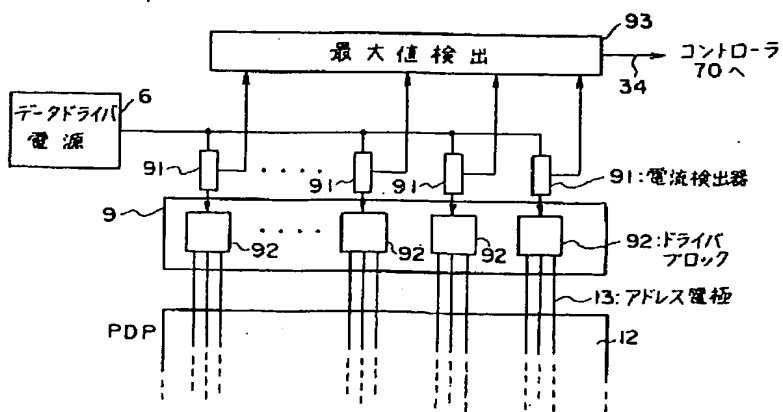


【図14】

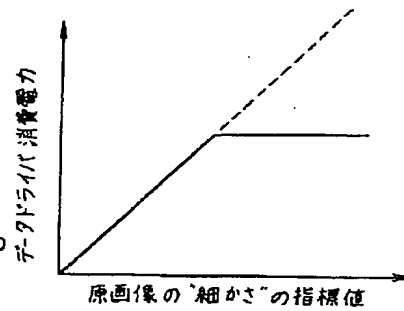


【図19】

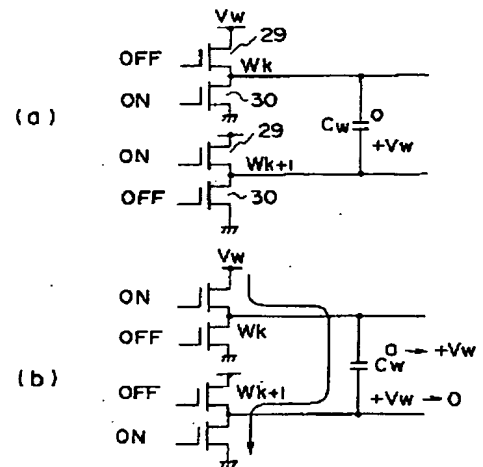
実施の形態7



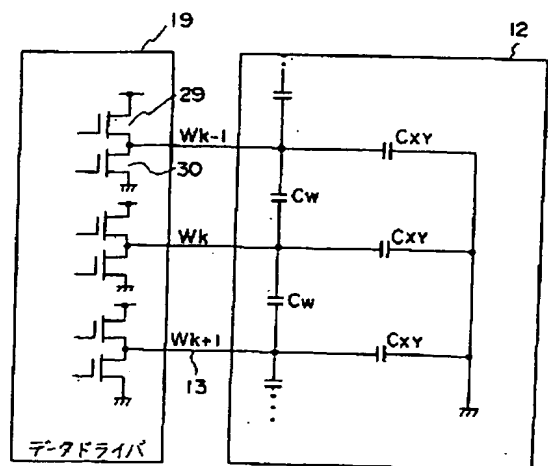
【図15】



【図27】

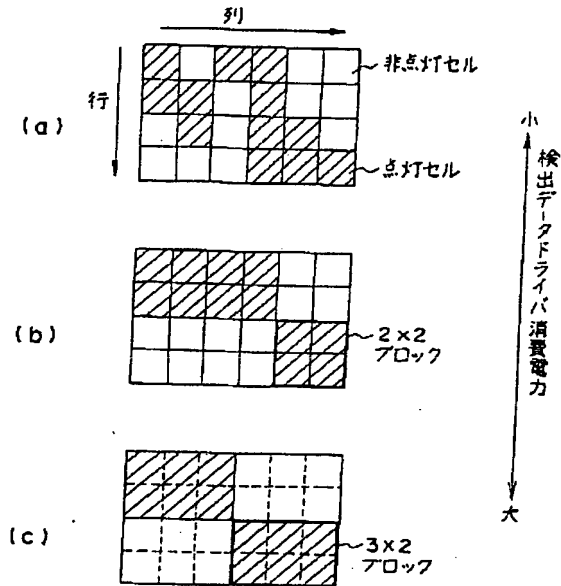


【図25】

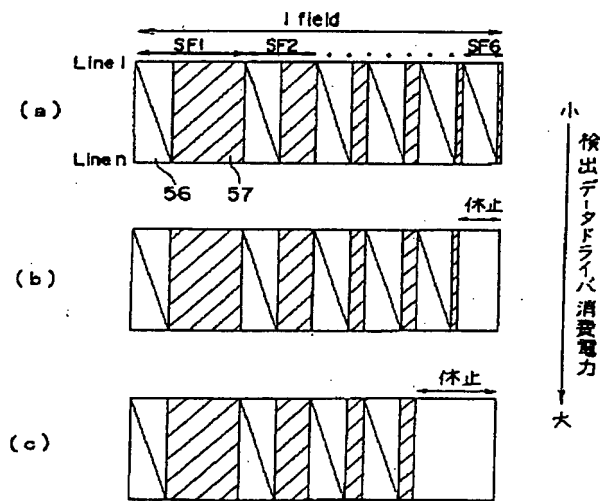


【図16】

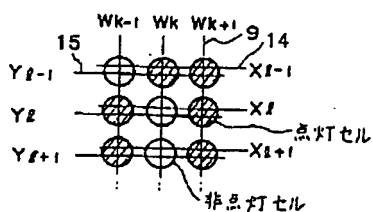
実施の形態5



【図18】

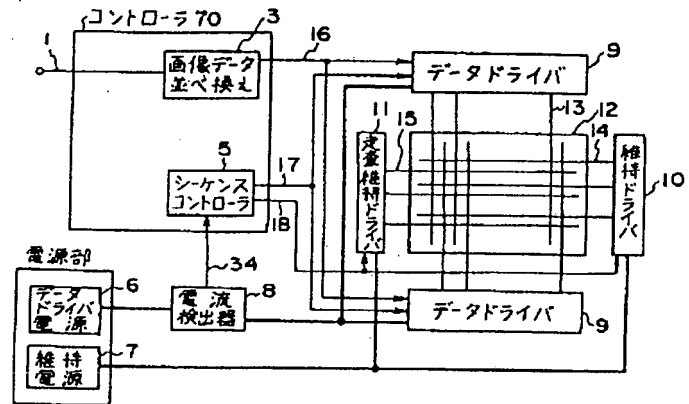


【図28】

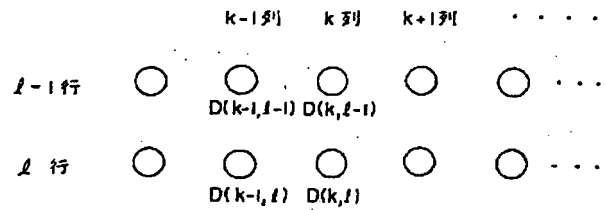


【図17】

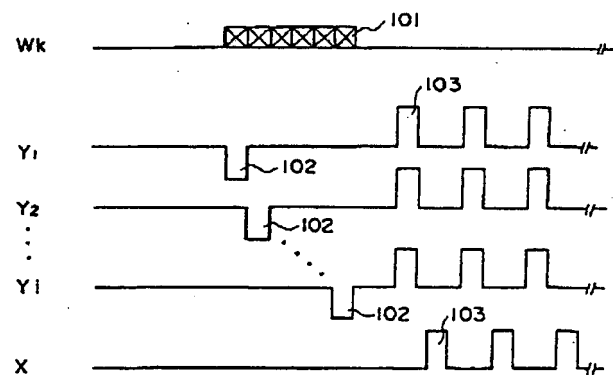
実施の形態6



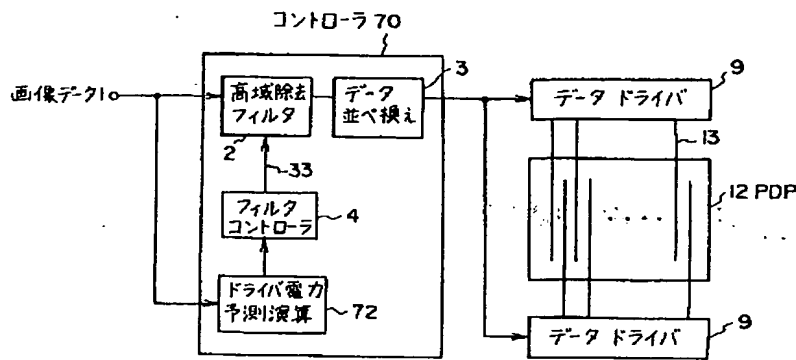
【図21】



【図23】

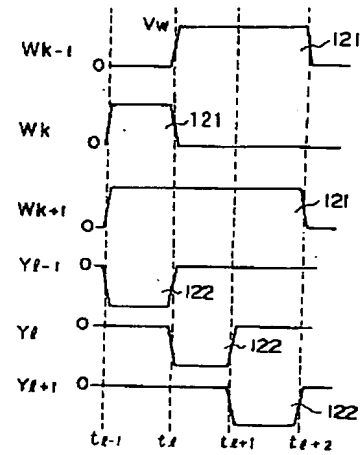


【図20】



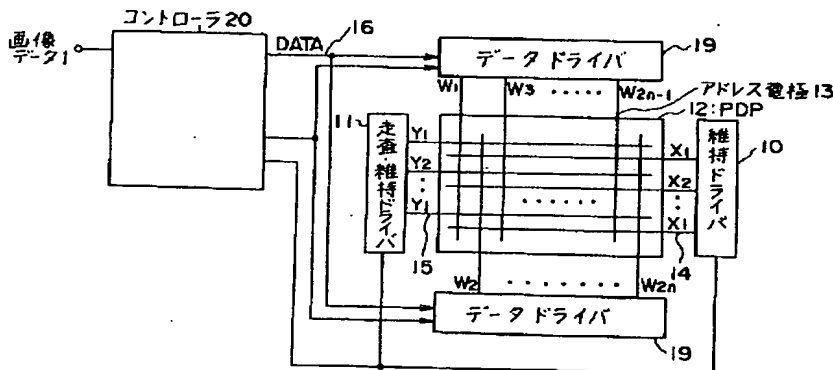
実施の形態 B

【図29】

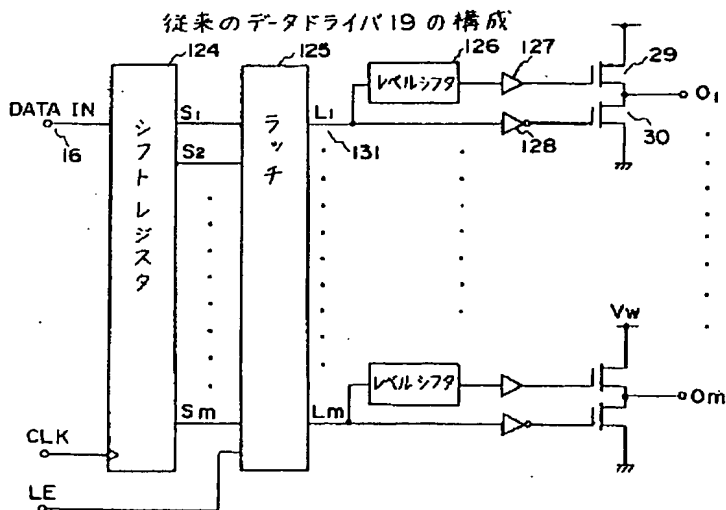


【図22】

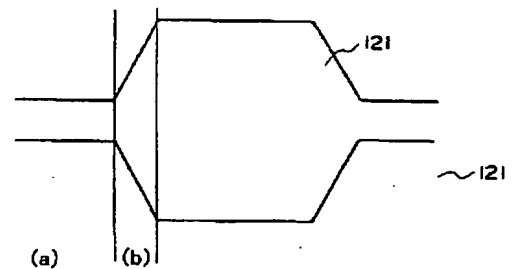
従来のプラズマディスプレイ装置とその駆動回路



【図24】



【図26】



THIS PAGE BLANK (USPTO)